

SeruTek Plus 4 通道 TDC

简介与测试

—基于 Kintex/Zynq, 面向 ToF 应用

2020 年 7 月

上海瑟如电子科技 周明翔

目录

第一章	简介	1
第二章	测试设置	3
2.1	IP 设计.....	3
2.2	示例程序.....	4
2.2.1	设计框图.....	4
2.2.2	布局与资源利用.....	5
2.3	软硬件环境.....	7
2.4	时钟及 HIT 信号连接.....	8
第三章	测试内容	10
3.1	测试结果 -- 90.54321MHz.....	10
3.1.1	原始数据截图.....	11
3.1.2	时间戳轨迹.....	13
3.1.3	测量残差.....	13
3.1.4	残差 Histogram.....	14
3.1.5	邻差序列.....	15
3.2	通道间时延变化测试.....	16

第一章 简介

SeruTek TDC 是上海瑟如电子公司开发的一款基于 Xilinx 7 系列 FPGA/SoC 的 TDC IP 核。当前，SeruTek TDC 分为 2 种型号。基本型号适用于全系列 Artix-7，对 Zynq 最高支持到 Z7020。从 Z7030 开始，Zynq 更高阶的器件的 PL 部分等效于 Kintex 系列。虽然 Kintex 与 Artix 同为 28nm 制程，但速度更快，门延迟更小，因此在 Kintex 上 TDC 的形态也与 Artix 上的不同。基于这个原因，将适用与 Kintex 系列的 TDC IP 单列一个型号，称为 SeruTek Plus TDC。

在测量精度上，SeruTek Plus 与基本型号大致相当。如果时钟信号和 hit 信号设计良好，SeruTek Plus 的测量 RMS 精度能比基本型号小 3-5ps，达到 20ps。SeruTek Plus 的主要优势在于更高的 hit 速率，从基本型的 70MHz 提升至 90MHz，对应的单通道最小脉冲间隔从 14ns 提升至 11ns。

此外，由于高阶器件资源更为丰富，便于多通道 TDC 与用户逻辑的集成，从而实现更为复杂的时间测量及数据处理逻辑。

以下对 SeruTek TDC 基本型的介绍同样使用于 SeruTek Plus。

SeruTek TDC 采用多通道时间戳机制，对各个通道输入的脉冲记录其时间戳。时间戳分为两部分：粗计数和精计数。粗计数由 FPGA 内部实现的计数器得到，精密计数由 FPGA 内部的进位链组成的延时链得到。在采用类似的粗、精计数组合的技术方法中，最大的问题在于输入脉冲有可能非常靠近粗计数器时钟的上升沿，从而不满足其 Flip-Flop register 的 setup 时序要求并导致非稳态。非稳态的产生使得粗计数的值极有可能发生单周期跳变，从而严重影响计数精度。SeruTek TDC 采用自研的独有技术完美解决了这一问题，从而大大提升了 TDC 的实用性。此外，SeruTek TDC 还具有片上自动码宽度自动校准功能，并采取了多种技术手段减小了通道之间的时延差变化波动，保证了在结温变化时，通道之间的时延差小于 20ps。

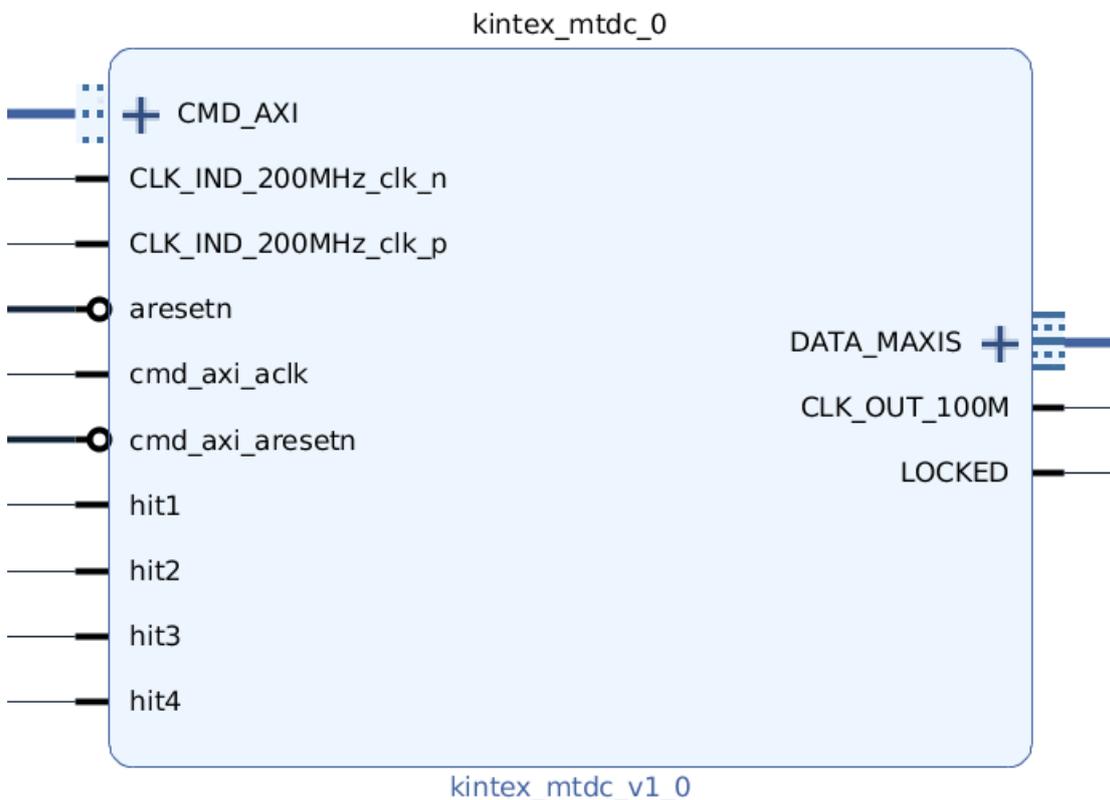
高精度、大量程、高速率、低通道差、多通道等优异的特性使得 SeruTek 广泛适用于通用计数器领域以及需要用到脉冲飞行时间(ToF)的应用，如激光测距、激光雷达、PET、超声波等应用。SeruTek TDC 采用标准的 AXI 或 AXIS 接口（可选择），可与 Zynq A9 硬核以及 Microblaze 软核集成，实现高速数据传输。

SeruTek Plus TDC 的主要技术特性如下：

1.	One-shot RMS 精度	< 25ps
2.	最大量程	约 70 年
3.	单通道最小触发间隔 (dead time)	11 ns
4.	最小可测时间间隔	单通道: 11ns 将 start、stop 信号分布在不同通道上可以测量任意小的时间间隔
5.	通道间一致性	< 20 ps (外部校准后, 时延差变化范围)
6.	突发触发速率 (burst hit rate)	90MHz 突发速率最大样本数受限于片上 FIFO 的容量。标准情况下为 2048 个点, 可根据使用芯片容量定制。
7.	连续触发速率	取决于采用的 readout 机制, 当使用 DMA 时, 单通道连续触发速率 > 30MSa/s。当配合 riffa 实现 PCIE 传输时, 可在 PCIE2.0 X8 配置下实现多通道总和 180Msa/s 的连续采样速率。

第二章 测试设置

2.1 IP 设计



基于 Kintex 的 4 通道 TDC IP 如上图所示。以下是接口描述：

接口名称	输入/输出	功能
CMD_AXI	输入/输出	配置及控制 TDC IP
CLK_IND_200MHz_clk_p/n	输入	200MHz 差分参考时钟输入
arestn	输入	TDC IP 内部重置信号
cmd_axi_aclk	输入	CMD_AXI 的时钟输入
Cmd_axi_arestn	输入	CMD_AXI 的重置输入
Hitn(1...4)	输入	4 路 hit 脉冲信号
DATA_MAXIS	输出	输出 timestamp 的 AXI-Stream Master 接口
CLK_OUT_100M	输出	输出 100MHz 频率，供

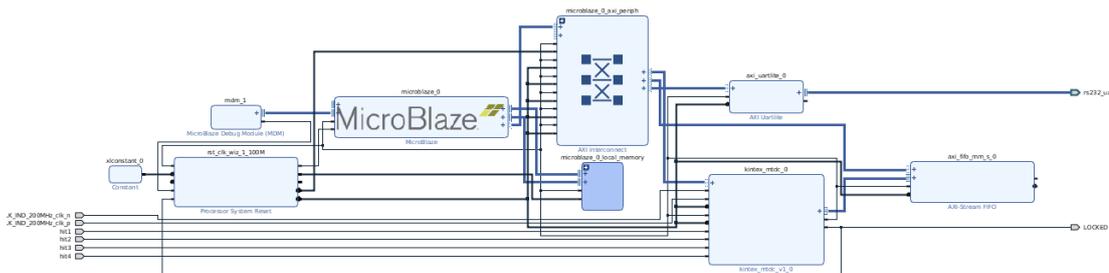
		Microblaze 及相关外设使用
LOCKED	输出	内部 MMCM 锁定指示信号。可连接 LED 显示状态。可连接 System processor reset 的 dcm_loded 输入，实现 reset 时序。

2.2 示例程序

为了方便用户对 4 通道 SeruTek Plus TDC IP 进行快速测试与评估，我们开发了基于 Xilinx 官方开发板 Avnet KC705 的最小示例程序。

2.2.1 设计框图

示例的 Vivado 设计框图如下图：



该最小系统例化了一个 MicroBlaze 核，用以控制及配置 TDC；128KB 的 BRAM 用以储存程序及作为运行内存；一个 UART_lite IP，波特率 115200，用以打印时间戳信息；一个 SeruTek Plus 4 通道 TDC IP；此外还例化了一个 AXIS- FIFO，用来读取 TDC IP 输出的时间戳数据。

TDC IP 具有 1 个 AXI-lite 接口：CMD_AXI，其附属的时钟和重置信号都可以通过 Vivado 的自动连接功能进行快速连接。Zynq PS 或 MicroBlaze 可通过

CMD_AXI 对 TDC IP 进行配置和控制。

时间戳原始数据通过 TDC IP 上的 Data_MAXIS 接口向外输出。其 Data 宽度为 12 bytes，其时钟信号在 IP 内部由 CLK_OUT_100M 提供。

与 IP 核一起发布的 SDK 函数库中提供了配置控制 TDC IP 以及读取时间戳并解码的函数，还提供了示例程序，用以采集时间戳数据后通过串口打印输出。

2.2.2 布局与资源利用

该示例的所使用资源在器件中的布局如下图：

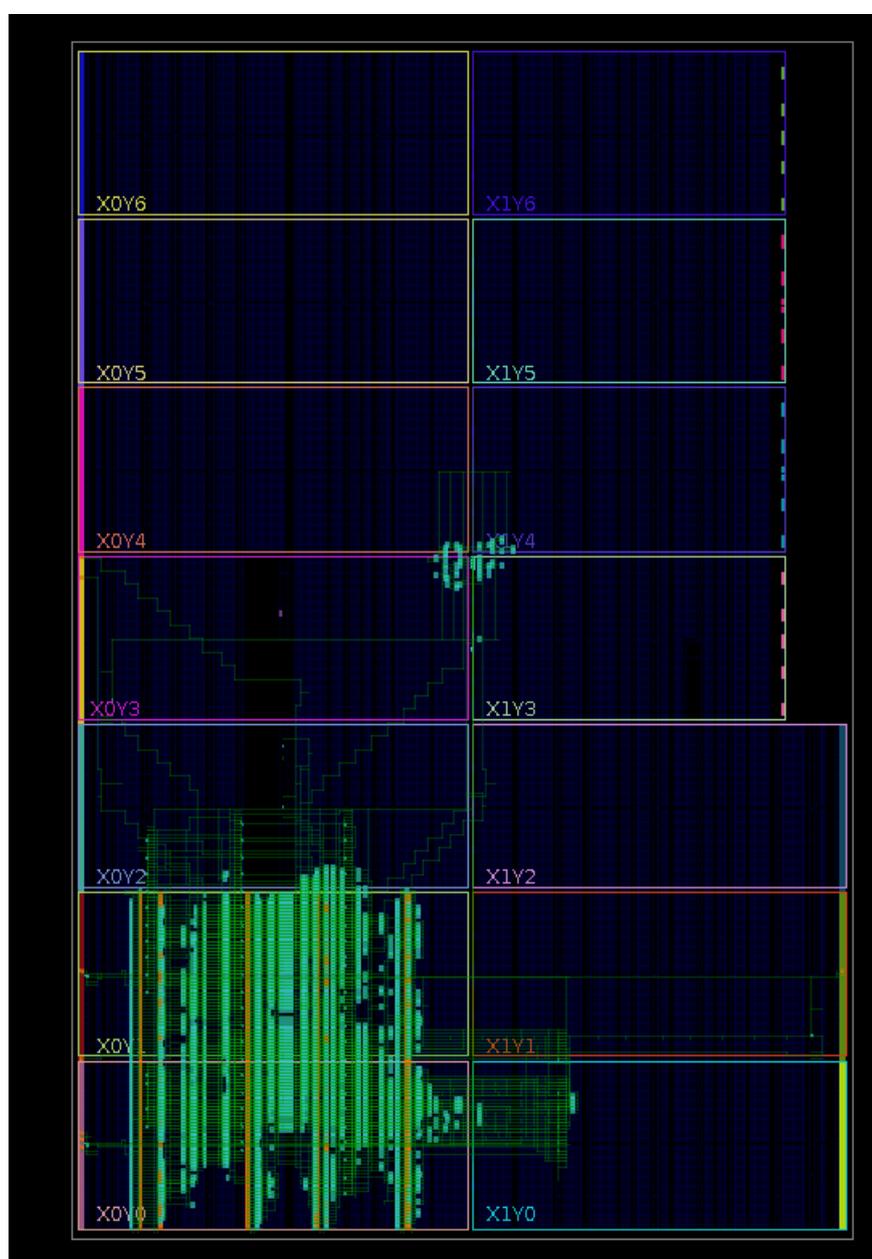
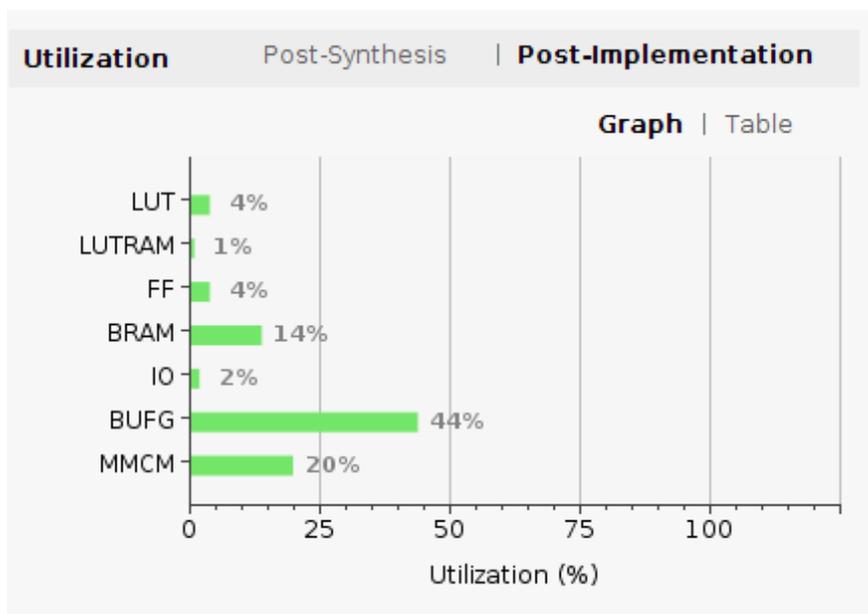


图2.1 Device Diagram

4 通道 TDC 占用了两个时钟域：XOY0, XOY1。一部分 BRAM 被用作 Microblaze 的运存，另一部分被用作了 TDC 的高速 FIFO。每通道 FIFO 的大小决定了该通道能够以高 hit 速率（最大约 90Msa/s）测量的点数。在示例中，每通道配有 2048 点 FIFO。FIFO 大小可定制。

下图是 4 通道 TDC 最小系统所消耗资源的统计。值得注意的是，如果继续增加通道数，每增加一个通道需要增加一个 BUFG。如果用户 BUFG 资源紧张，也可从普通 IO 引入 hit 信号，但根据测试经验，通道差在温度变化时的变化范围会增加。

**图2.2 最小系统资源消耗统计**

2.2.3 能耗预估

根据 Vivado 的 Project Summary 预估的能耗，如下图：

Power	Summary On-Chip
Total On-Chip Power:	0.747 W
Junction Temperature:	26.3 °C
Thermal Margin:	58.7 °C (32.2 W)
Effective θ_{JA} :	1.8 °C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Low
Implemented Power Report	

图2.3 Power Reprot

2.3 软硬件环境

测试硬件组成:

- ◆ KC705 开发板, 芯片型号为 XC7K325T-ffg9002-2;
- ◆ 一块 Si5338 开发板, 作为 TDC 时钟源与 hit 信号源;

测试软件组成:

- ◆ Vivado Suit 2019.1
- ◆ SeruTek sdk library r2.0(SDK 软件库, 用于 TDC 核配置、控制以及原始数据解析)

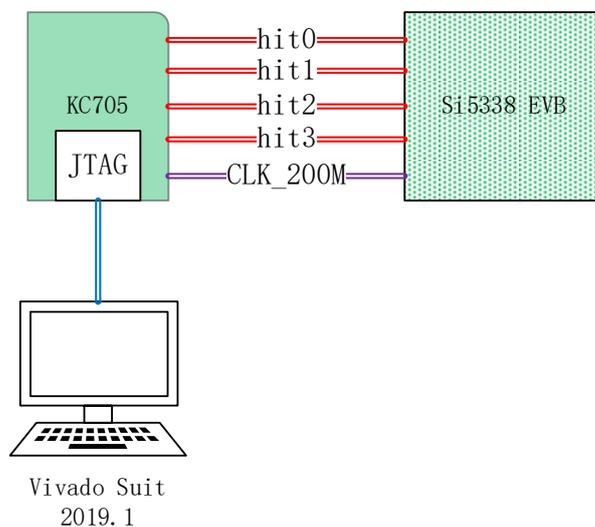


图2.4 SeruTek 4 通道 TDC 测试设置

2.4 时钟及 hit 信号连接

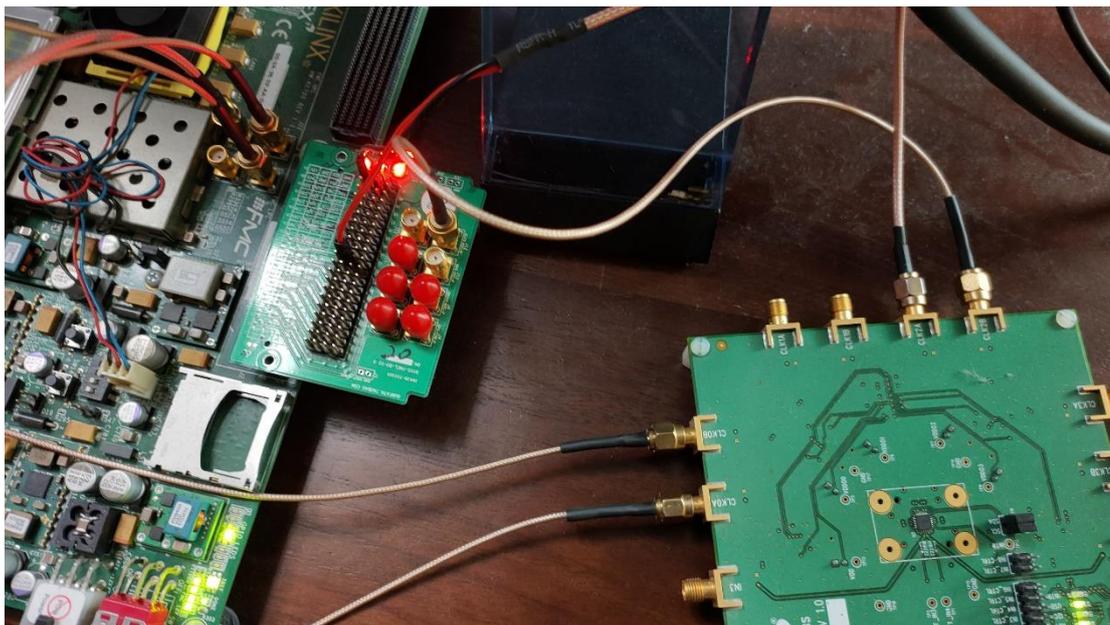
KC705 开发板购入已近 5 年，板载晶振抖动偏大。因此从 Si5338 EVB 引入一路 200MHz LVDS 信号接入 KC705 上的 USER CLK SMA 作为 TDC 的参考时钟源。4 路 hit 信号也由 Si5338 产生。KC705 通过一个 FMC LPC、一个 FMC HPC 接口引出了大量 IO，除此之外只有一路差分 USER GPIO SMA 可供使用。因此测试时，通过一块 FMC LPC breakout 转接板将 FMC LPC 的 IO 引出。4 路 hit 信号的连接方式如下表：

Hit1	CCIO	LA00_P (FMC LPC breakout 2.54mm pin)
Hit2	User IO	User GPIO SMA P(on KC705 board)
Hit3	CCIO	CLK0_M2C(FMC LPC breakout SMA)

Hit4	CCIO	LA17_P(FMC LPC breakout 2.54mm pin)
------	------	--

其中除了 Hit2 用的是普通 IO 外，其它 3 路 Hit 信号都用的 CCIO 引脚。而 4 路信号中，hit3 和 hit2 使用了 SMA 接口，接地性能较好，其它两路用的转接板上的 2.54mm 引脚，容易引起串扰。

连接方式参考下图：



需要指出的是 FMC 转接板上总共有 4 路差分 SMA，但其中 3 路是 GT 信号，无法作为 hit 信号的输入。

第三章 测试内容

在之前发布的《SeruTek 双通道 TDC 测试报告》已经对 Serutek TDC 的各项指标进行了详尽的测试，如需了解 SeruTek TDC 在不同 hit 速率下的表现，请参阅该报告。

本次测试第一个考察项目是在最高 90MHz hit 速率下，SeruTek Plus TDC 的性能。

第二个考察项目是 IP 核各通道之间的时延差波动。Hit 信号的走线长度很难保证精确一致，这是因为 hit 信号线的长度是 FPGA 地板走线、核心板走线以及 FPGA 内部走线长度之和。因此当产品定型后，需要通过外部校准手段，校准各通道间的时延差。但时延差本身的波动是无法通过外部校准进行补偿的。因此，通道间的时延差波动对最终测时的准确度有着非常重要的影响。

3.1 测试结果 -- 90.54321MHz

被测信号为 Si5338 EVB 输出的 4 路 LVCMOS25 信号，都为同相信号，频率为 90.54321MHz，以下截图是各项测试内容的计算结果：

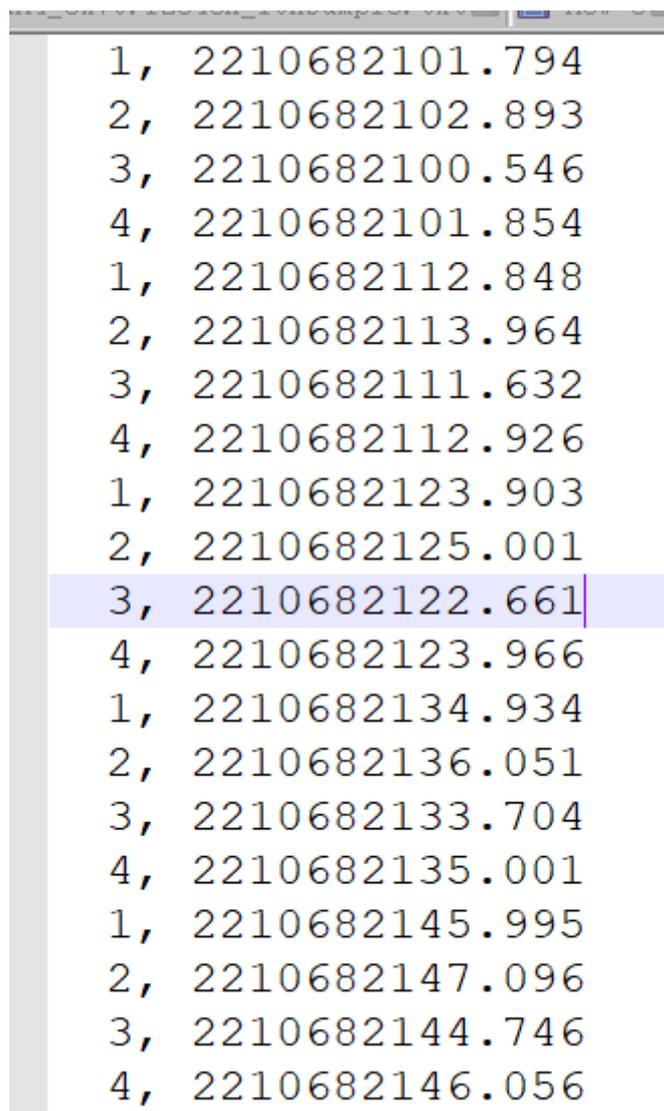
```
*****
tdc1
std of residual:21.28
mean of measured clock peroid: 11044.47 (ps)
measured frequency: 90.5430400256 MHz
std of measured clock peroid: 22.87 (ps)
*****
tdc2
std of residual:21.94
mean of measured clock peroid: 11044.49 (ps)
measured frequency: 90.5429202778 MHz
std of measured clock peroid: 24.66 (ps)
*****
tdc3
std of residual:19.89
mean of measured clock peroid: 11044.48 (ps)
measured frequency: 90.5429515570 MHz
std of measured clock peroid: 22.67 (ps)
*****
tdc4
std of residual:19.37
mean of measured clock peroid: 11044.47 (ps)
measured frequency: 90.5430567262 MHz
std of measured clock peroid: 21.16 (ps)
*****
```

图3.1 90.54321MHz hit 频率测试结果汇总

为了减少篇幅,便于阅读,现将通道 1 的各项数据绘制如下,如需完整数据,和联系瑟如电子,提供原始数据以及分析的 python 程序。

3.1.2 原始数据截图

下图为串口输出的原始时间戳数据截图。第一列为通道号,第二列为时间戳,单位是 ns (小数点前一位表示 ns)。在 IP 核内部 4 路 TDC 的输出通过 AXI Stream Interconnection 连接在一起,通过一个 AXI Stream Master 输出,因此读出的数据中混有各通道的时间戳。

A screenshot of a serial output data capture window. The window displays a list of 20 data points, each consisting of a channel number followed by a comma and a numerical value. The data points are: 1, 2210682101.794; 2, 2210682102.893; 3, 2210682100.546; 4, 2210682101.854; 1, 2210682112.848; 2, 2210682113.964; 3, 2210682111.632; 4, 2210682112.926; 1, 2210682123.903; 2, 2210682125.001; 3, 2210682122.661; 4, 2210682123.966; 1, 2210682134.934; 2, 2210682136.051; 3, 2210682133.704; 4, 2210682135.001; 1, 2210682145.995; 2, 2210682147.096; 3, 2210682144.746; 4, 2210682146.056. The data point '3, 2210682122.661' is highlighted with a light blue background.

```
1, 2210682101.794
2, 2210682102.893
3, 2210682100.546
4, 2210682101.854
1, 2210682112.848
2, 2210682113.964
3, 2210682111.632
4, 2210682112.926
1, 2210682123.903
2, 2210682125.001
3, 2210682122.661
4, 2210682123.966
1, 2210682134.934
2, 2210682136.051
3, 2210682133.704
4, 2210682135.001
1, 2210682145.995
2, 2210682147.096
3, 2210682144.746
4, 2210682146.056
```

图3.2 通道 1 串口输出原始数据截图

为了减少篇幅,便于阅读,现将通道 1 的各项数据绘制如下,如需完整数据,和联系瑟如电子,提供原始数据以及分析的 python 程序。

3.1.3 时间戳轨迹

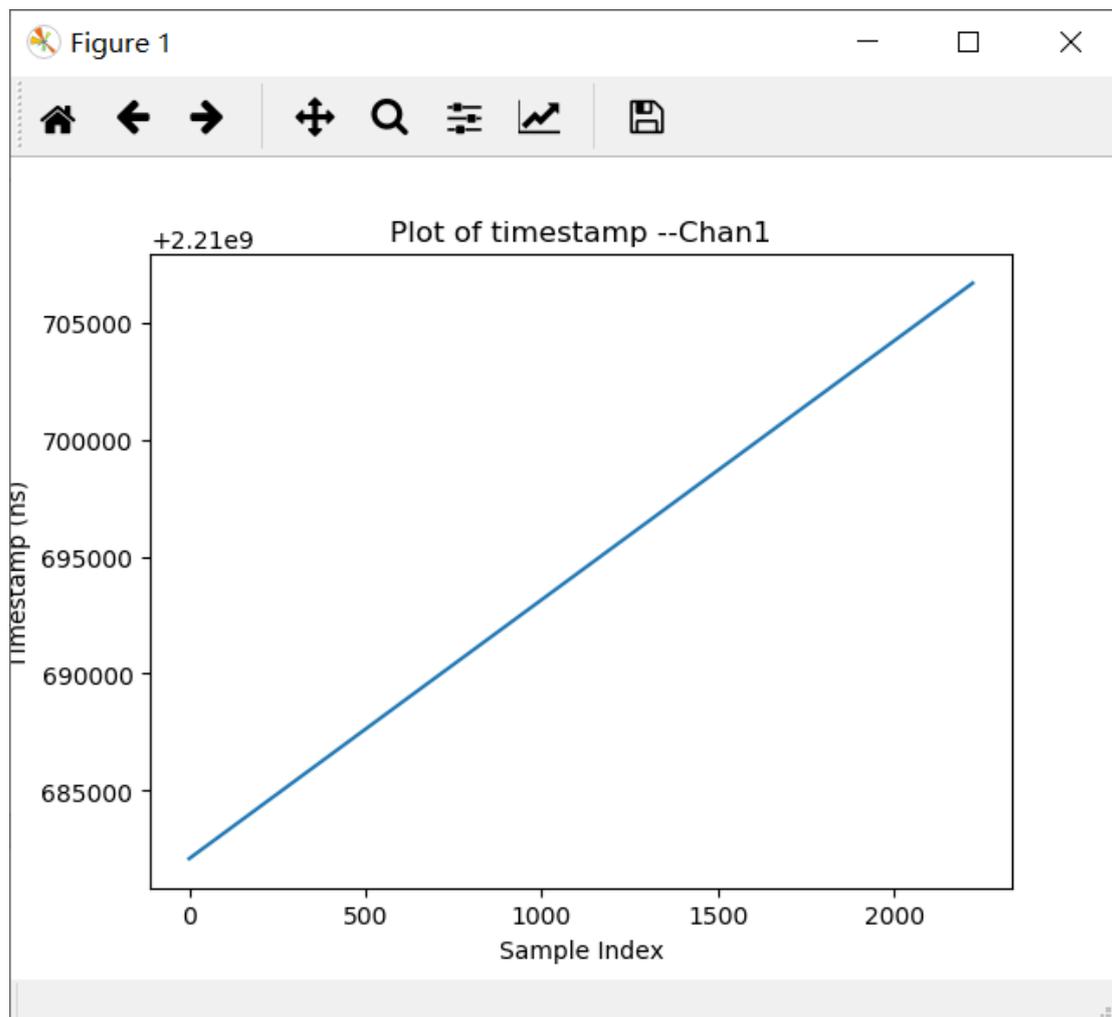


图3.3 通道 1 的时间戳轨迹

3.1.4 测量残差

将测量结果的时间序列做一阶拟合,然后将真值减去拟合值,得到残差,如下图。

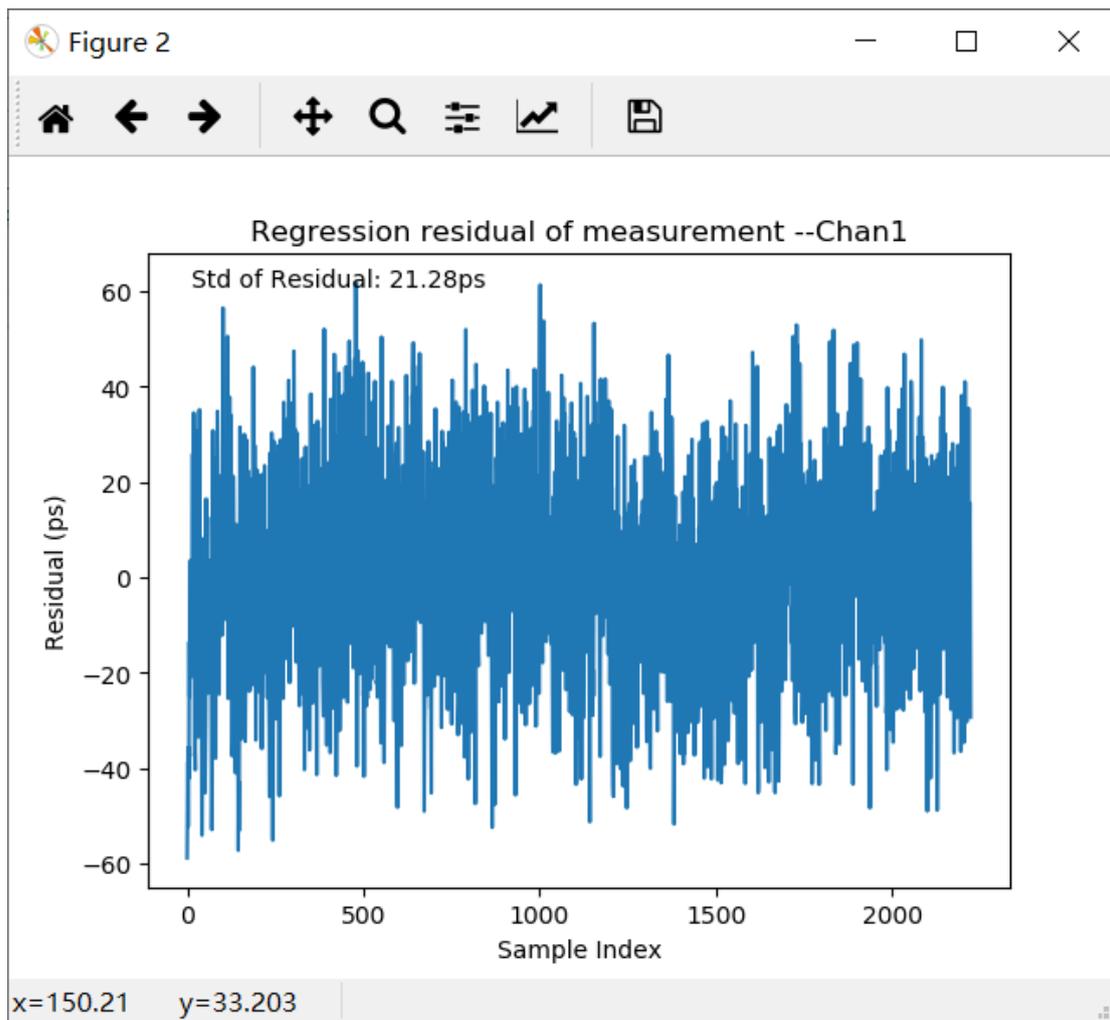


图3.4 通道 1 的测量残差

3.1.5 残差 Histogram

对残差序列统计各取值区域出现的频率，绘制直方图。

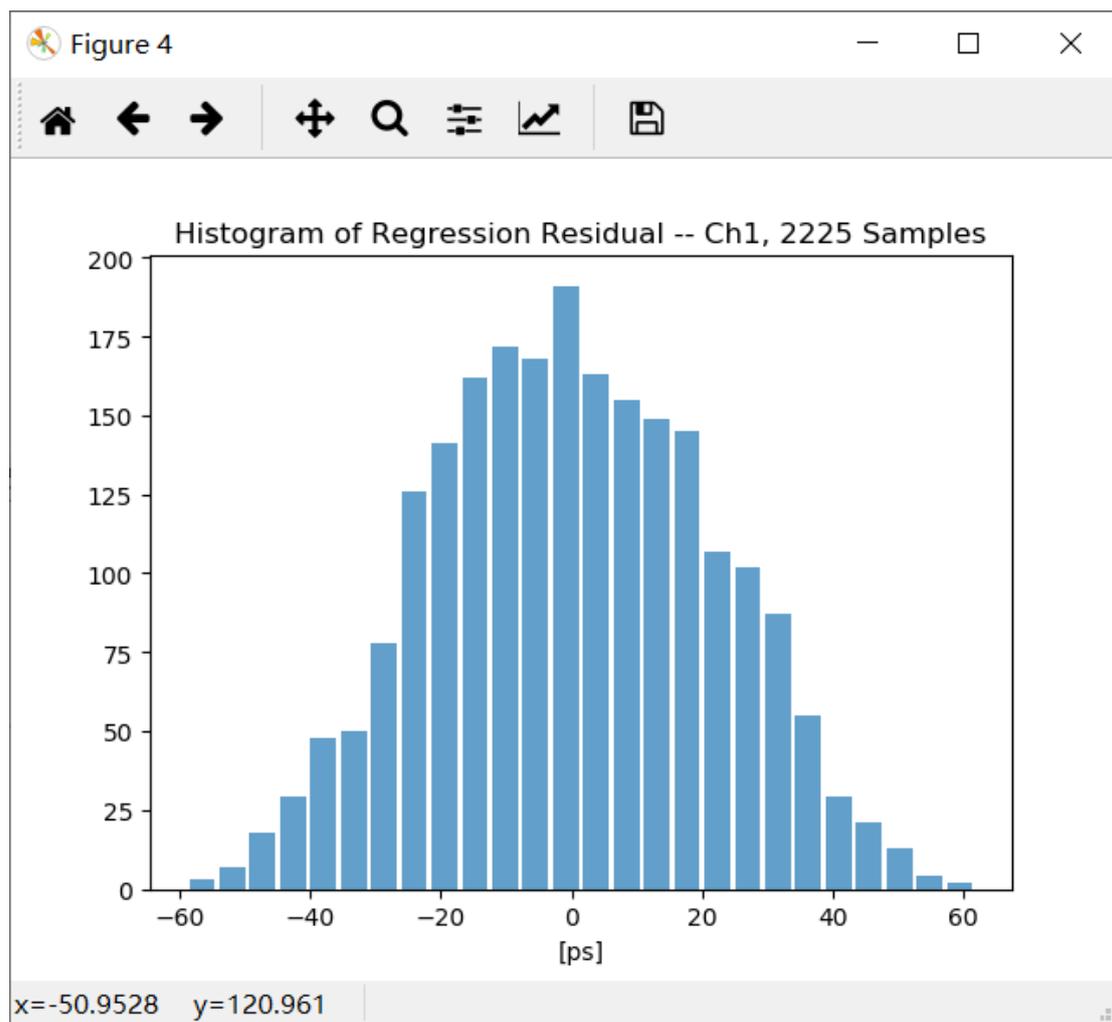


图3.5 通道 1 残差 Histogram

3.1.6 邻差序列

对测量结果序列前后做差，得到邻差序列，也就是相邻两个时间戳的差值序列。

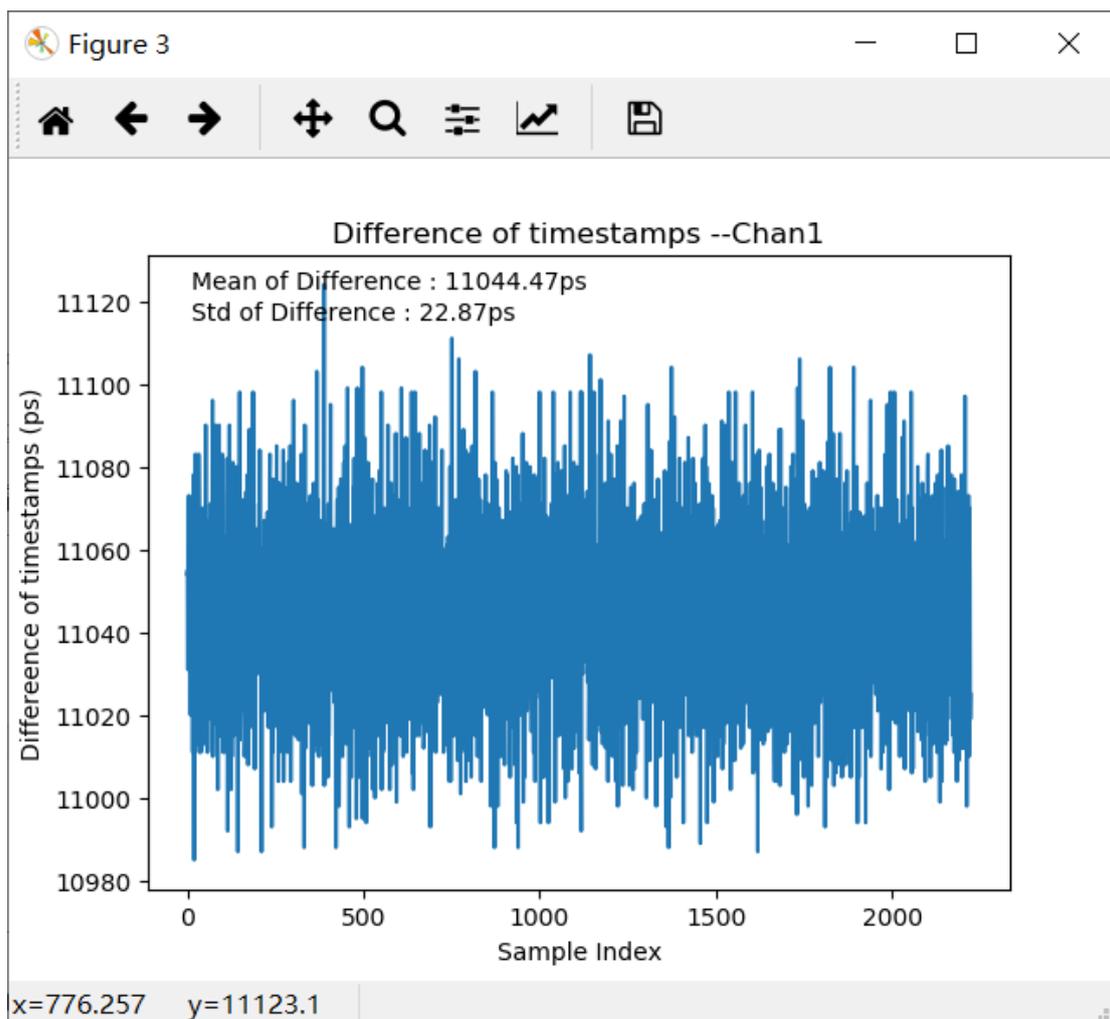


图3.6 通道 1 的邻差序列以及其均值、标准差

理想情况下，90.54321MHz 对应的时钟周期为 11044.45ps。所有通道测得的时钟周期均值为 11044.47 ps 或 11044.48 p。由于 hit 速率高达 90.54321MHz，因此每通道采样点的数量上限为每通道 FIFO 的深度(本示例中每通道 FIFO 深度为 2048 点，再加上 AXIS Interconnection 中还有一部分 FIFO。在最大 hit 速率下，每通道可采约 2200 点)。可见在 2000 多点平均后，测时精度能达到 0.1ps。

3.2 通道间时延变化测试

多通道测量能力是 SeruTek TDC 极为重要的特性，不仅拓展了其使用场景，更大大简化了多通道 TDC 的部署与校准流程。对于 SeruTek TDC IP 而言，由于每个通道 hit 信号、时钟信号的走线长度不同，各通道间存在时延差。这些时延

差是否固定,它们随结温变化的波动幅度关系到多通道 TDC 测量值的可信程度。在 SeruTek TDC 内部,针对重要的信号如时钟信号等都采用了低时延斜率(skew)布线资源,以减小通道时延差,并控制走线长度、减小结温对时延的影响。

需要指出的是,通过 FMC 转接板将 FMCLPC 的 IO 引出为 2.54mm 引脚这种形式,接地性能较差,在频率增大时容易发生串扰,所以 hit 频率不宜太高。

采取多次断电重启 FPGA 开发板的方式,验证每次重启后对相同 hit 时钟信号的时差测量值。下表列出了 6 次断电启动后,对 2 组(4 路)180.54321KHz 信号进行测量,所有信号都是同相信号。得到时间戳序列,并将通道 n-通道 1,得到通道间时差序列,每个通道 2230 个点,求平均值及标准差,录表于下:

表3.1 通道间时差平均值 -- 6 次循环

	Mean(Chan2-Chan1) (ps)	Mean(Chan3-Chan1) (ps)	Mean(Chan4-Chan1) (ps)
1	2176.43	-485.61	131.83
2	2178.93	-482.32	140.20
3	2175.09	-485.49	132.61
4	2183.39	-480.67	132.44
5	2185.14	-478.32	135.40
6	2184.68	-479.31	132.46

可以看出 chan2-chan1 通道差较大,为 2ns 左右,而另外两组通道差都小于 1ns。这是因为通道 2 用的是 KC705 USER GPIO SMA,其对应的引脚不是 CCIO,因此时延较大。

从测试结果可以看出,在 6 次断电启动的过程中,各通道间时延差变化小于 10ps,能够满足绝大部分应用的需求。

下表为通道时差测量值的方差。由于采用转接板的方式,对信号串扰抑制较差,所以结果仅供参考。虽然通道 4-通道 1 的方差较小,但是很有可能是因为两者之间的串扰,使得连个本来相位接近的信号相位趋于一致。因为这两路 hit 信号都是通过转接板的 2.54mm 引脚引入的。

表3.2 通道间时差标准差 -- 6 次循环

	Std(Chan2-Chan1) (ps)	Std(Chan3-Chan1) (ps)	Std(Chan4-Chan1) (ps)
1	24.09	21.89	16.26
2	24.10	22.39	16.13
3	23.41	21.90	15.37
4	24.55	22.38	15.95
5	23.73	21.89	16.32
6	23.75	21.58	16.13